



Attorney Docket No.: 5649-1157

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim et al.

Application Serial No.: 10/730,960

Filed: December 9, 2003

For: **METHODS, CIRCUITS, AND DATA STRUCTURES FOR PROGRAMMING
ELECTRONIC DEVICES**

February 16, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0014778 filed March 10, 2003.

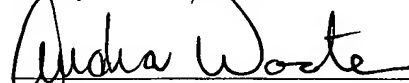
Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450, on February 16, 2004.


Audra Wooten
February 16, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0014778
Application Number

출원 년 월 일 : 2003년 03월 10일
Date of Application MAR 10, 2003

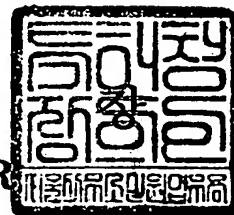
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.10
【국제특허분류】	G06F
【발명의 명칭】	메모리를 감소시키는 프로그래머블 메모리의 I S P 기능을 가지는 반도체 장치 및 이에 대한 제어방법
【발명의 영문명칭】	Semiconductor device with in system programming function of programmable memory for reducing memory
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김민수
【성명의 영문표기】	KIM,Min Su
【주민등록번호】	670102-1066633
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 삼천리2차아파트 103-801
【국적】	KR
【발명자】	
【성명의 국문표기】	황상하
【성명의 영문표기】	HWANG,Sang Ha
【주민등록번호】	640304-1119814
【우편번호】	447-010

【주소】 경기도 오산시 오산동 923-2 운암지구 대동아파트
108-1703

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다
리인 이영
필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	11 면	11,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】		40,000 원


【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법이 개시된다. 본 발명에 의한 메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치는, 외부 제어장치로부터 수신되는 프로그램 데이터에 따라 내부의 프로그래머블 메모리를 프로그래밍하는 ISP 기능을 가지는 반도체 장치에 있어서, CPU, 커맨드 디코더, 제어신호 발생부, 및 어드레스/데이터 버퍼를 구비하는 것을 특징으로 한다. CPU는 시리얼 버스를 통하여 외부 제어장치와 통신하여 소정의 기능 구현 장치의 동작을 제어한다. 커맨드 디코더는 시리얼 버스를 통하여 외부 제어장치로부터 ISP 어드레스를 포함하는 직렬 데이터를 수신할 때, 직렬 데이터로부터 커맨드 코드, 프로그래머블 메모리의 내부 어드레스 및 프로그램 데이터를 추출한다. 제어신호 발생부는 커맨드 코드에 응답하여, ISP 모드 동작을 제어하는 복수의 제어신호들 중 어느 하나를 인에이블시킨다. 어드레스/데이터 버퍼는 CPU와 프로그래머블 메모리 사이에서 송수신되는 내부 어드레스 및 데이터를 저장하고, 커맨드 디코더와 프로그래머블 메모리 사이에서 송수신되는 내부 어드레스 및 프로그램 데이터를 저장한다. 프로그래머블 메모리는 내부 어드레스, 프로그램 데이터 및 복수의 제어신호에 응답하여 프로그래밍된다.

메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법은 외부 제어장치로부터 수신되는 통신 프로토콜과 커맨드 코드에 응답하여 ISP 모드 동작을 수행함으로써, 메모리를 감소시킬 수 있는 장점이 있다.



1020030014778

출력 일자: 2003/4/7

【대표도】

도 2

【명세서】**【발명의 명칭】**

메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법{Semiconductor device with in system programming function of programmable memory for reducing memory}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치와 외부 제어장치를 나타내는 블록도이다.

도 2는 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치와 외부 제어장치를 나타내는 블록도이다.

도 3은 본 발명의 반도체 장치에 적용되는 시리얼 버스의 일예로서 IIC(inter-integrated circuit) 버스를 설명하기 위한 도면이다.

도 4a 및 도 4b는 본 발명의 반도체 장치에 적용되는 시리얼 버스인 IIC 버스를 통하여 전송되는 데이터의 신호체계를 나타내는 도면이다.

도 5는 본 발명의 반도체 장치에 적용되는 시리얼 버스인 IIC 버스를 통하여 전송되는 데이터의 신호체계에서 스타트 조건과 스톱 조건을 나타내는 클럭과 데이터의 타이밍 차트이다.

도 6a 및 도 6b는 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치에서 ISP 모드 동작을 위한 데이터의 신호체계의 일예를 나타내는 도면이다.

도 7은 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치의 동작 과정을 나타내는 흐름도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 프로그래머블 메모리의 ISP(In-system programming) 기능을 가지는 반도체 장치에 관한 것으로서, 특히, 메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법에 관한 것이다.

<9> 일반적으로, 모니터 등과 같이 특정 기능을 수행하는 장치의 동작을 제어하는 반도체 장치에는 제어 프로그램을 저장하는 플래시 메모리 또는 EEPROM 등과 같은 프로그래머블 메모리가 구비된다. 반도체 장치의 기능 장애로 인하여, 특정 기능을 수행하는 장치가 오동작 할 때, 프로그래머블 메모리에 저장된 제어 프로그램은 수정될 필요가 있다. 이러한 반도체 장치의 제어 프로그램을 수정하거나 또는 교체하기 위해, 종래에는 납땜되어 있는 반도체 장치를 보드로부터 분리하고, 제어 프로그램을 수정한 후, 다시 보드에 납땜하였다. 그러나, 이러한 종래의 방식은 반도체 장치가 오동작 할 때마다 반복적으로 수행되어야 하므로, 경제적, 시간적 손실이 크고, 보드로부터 반도체 장치를 분리해야하는 번거로움이 있었다. 이러한 문제점을 해결하기 위해 제안된 종래의 제어 프로그램을 수정하는 방법으로 ISP 방식이 있다. ISP 방식은 보드로부터 반도체 장치를 분리하지 않고, 보드에 장착된 반도체 장치의 제어 프로그램을 수정하는 방식이다.



- <10> ISP 방식을 이용한 제어 프로그램의 수정은 제품이 출하된 후, 제품 불량에 따른 A/S 과정에서 주로 사용되고 있다. 이러한 ISP 방식을 이용하여, 프로그래머블 메모리를 프로그래밍하는 장치의 일예가 미국특허공보 제5,784,611호에 기재되어 있다.
- <11> 도 1은 종래 기술에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치를 나타내는 블록도이다.
- <12> 도 1에서, 종래 기술에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치(10)는 ISP 기능을 수행하기 위해 별도의 신호 라인(20)을 통하여 외부 제어장치(30)와 연결된다. 상기 반도체 장치(10)는 특정 기능을 수행하는 장치(미도시)의 동작을 제어한다. 상기 반도체 장치(10)는 CPU(11), ROM(12), RAM(13), 프로그래머블 메모리(14) 및 주변회로(15)를 포함한다. 상기 CPU(11)는 상기 신호 라인(20)을 통하여 상기 외부 제어장치(30)와 연결된다. 상기 ROM(12)에는 상기 반도체 장치(10)가 ISP 모드로 동작하도록 하는 통신 프로그램이 저장된다.
- <13> ISP 모드에서 상기 CPU(11)는 상기 외부 제어장치(30)로부터 특정 프로토콜로 수신되는 데이터를 상기 RAM(13)에 임시 저장시키고, 상기 ROM(12)에 저장된 통신 프로그램에 따라 제어되어 상기 데이터를 다시 상기 프로그래머블 메모리(14)에 기입한다.
- <14> 여기에서, 상기 통신 프로그램은 ISP 모드에서 상기 프로그래머블 메모리(14)에 대한 데이터의 기입/판독/소거 기능을 수행하기 위한 프로그램이다.
- <15> 상기와 같이 종래의 반도체 장치(10)에서는 상기 CPU(11)가 상기 프로그래머블 메모리(14)에 대한 데이터의 기입/판독/소거 기능을 수행한다. 그 결과, 종래의 반도체 장치(10)는 ISP 기능을 수행하기 위한 별도의 신호 라인(20)과, ISP 모드 동작을 위한 통

신 프로그램을 저장하는 상기 ROM(12)과 같은 별도의 메모리가 필요하다. 결국, 종래의 ISP 기능을 가지는 반도체 장치(10)는 ISP 기능을 수행하기 위한 마스크 타입의 메모리와 데이터를 저장하는 플래시 타입의 프로그래머블 메모리를 구비해야 하므로, 반도체 장치의 제조 공정이 복잡하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자하는 기술적 과제는, 외부 제어장치로부터 수신되는 통신 프로토콜과 커맨드 코드에 응답하여 ISP 모드 동작을 수행함으로써, 메모리를 감소시키는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치는, 외부 제어장치로부터 수신되는 프로그램 데이터에 따라 내부의 프로그래머블 메모리를 프로그래밍하는 ISP 기능을 가지는 반도체 장치에 있어서, CPU, 커맨드 디코더, 제어신호 발생부, 및 어드레스/데이터 버퍼를 구비하는 것을 특징으로 한다. CPU는 시리얼 버스를 통하여 외부 제어장치와 통신하여 소정의 기능 구현 장치의 동작을 제어한다. 커맨드 디코더는 시리얼 버스를 통하여 외부 제어장치로부터 ISP 어드레스를 포함하는 직렬 데이터를 수신할 때, 직렬 데이터로부터 커맨드 코드, 프로그래머블 메모리의 내부 어드레스 및 프로그램 데이터를 추출한다. 제어신호 발생부는 커맨드 코드에 응답하여, ISP 모드 동작을 제어하는 복수의 제어신호들 중 어느 하나를 인에이블시킨다. 어드레스/데이터 버퍼는 CPU와 프로그래머블 메모리 사이에서 송수신되는 내부 어드레스 및 데이터를 저장하고, 커맨드 디코더와 프로그래머블 메

모리 사이에서 송수신되는 내부 어드레스 및 프로그램 데이터를 저장한다. 프로그래머블 메모리는 내부 어드레스, 프로그램 데이터 및 복수의 제어신호에 응답하여 프로그래밍된다.

- <18> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치의 제어방법은, 외부 제어장치로부터 수신되는 프로그램 데이터에 따라 내부의 프로그래머블 메모리를 프로그래밍하는 ISP 기능을 가지며, 시리얼 버스를 통하여 상기 외부 제어장치와 각각 연결되는 CPU와 커맨드 디코더, 상기 커맨드 디코더로부터 커맨드 코드를 수신하는 제어신호 발생부, 상기 CPU 및 상기 커맨드 디코더와 상기 프로그래머블 메모리 사이에 연결되는 어드레스/데이터 버퍼를 구비하는 반도체 장치의 제어방법에 있어서,
- <19> (a) 상기 CPU가 상기 외부 제어장치와 통신하여 소정의 기능 구현 장치의 동작을 제어하는 단계;
- <20> (b) 상기 CPU가 ISP 어드레스를 수신할 때, 상기 기능 구현 장치의 제어 동작을 중지하는 단계;
- <21> (c) 상기 커맨드 디코더가 상기 ISP 어드레스를 수신할 때, 상기 외부 제어장치로부터 수신되는 직렬 데이터로부터 커맨드 코드를 추출하는 단계;
- <22> (d) 상기 커맨드 코드에 응답하여 상기 제어신호 발생부가 상기 프로그래머블 메모리의 기입, 판독 및 소거를 포함하는 ISP 모드 동작을 위한 복수의 제어 신호들 중 어느 하나를 인에이블 시키는 단계;
- <23> (e) 상기 복수의 제어신호들에 응답하여, 해당 ISP 모드 동작을 수행하는 단계; 및

- <24> (f) 상기 ISP 모드가 리셋될 때, 상기 (a)단계로 리턴하는 단계를 포함하는 것을 특징으로 한다.
- <25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <27> 도 2는 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치와 외부 제어장치를 나타내는 블록도이다.
- <28> 도 2와 같이, 본 발명의 일실시예에 따른 반도체 장치(100)는 시리얼 버스(300)를 통하여 외부 제어장치(200)에 연결된다. 도 2에서는 상기 시리얼 버스(300)의 일예로서, IIC(inter-integrated circuit) 버스가 도시된다.
- <29> 또, 상기 외부 제어장치(200)로는 예를 들면, PC 등과 같은 장치가 될 수 있다. 상기 반도체 장치(100)는 특정 기능이 구현된 장치(400)의 동작을 제어한다. 상기 기능 구현 장치(400)는 예를 들면, 모니터 등과 같은 장치가 될 수 있다. 상기 반도체 장치(100)는 CPU(101), 어드레스/데이터 버퍼(102), 프로그래머블 메모리(103), 커맨드 디코더(104) 및 제어신호 발생부(105)를 포함한다. 상기 CPU(101)와 상기 커맨드 디코더(104)는 클럭 라인(301)과 데이터 라인(302)을 포함하는 상기 IIC 버스(300)를 통하여 상기 외부 제어장치(200)와 연결된다. 또, 상기 CPU(101)는 상기 기능 구현 장치(400)의 동작을 제어하기 위한 추가의 신호들을 더 수신하기 위해, 상기 IIC 버스(300)외에 상기



외부 제어장치(200)와 추가의 신호 라인들(미도시)로 더 연결될 수 있다. 여기에서, 상기 IIC 버스(300)는 도 3을 참고하여 좀 더 구체적으로 후술된다.

<30> 상기 CPU(101)는 상기 IIC 버스(300)를 통하여 상기 외부 제어장치(200)와 통신하고, 상기 프로그래머블 메모리(103)에 저장된 데이터를 판독하여 해당 프로그램을 수행하고, 상기 기능 구현 장치(400)의 동작을 제어한다.

<31> 상기 CPU(101)는 상기 외부 제어장치(200)로부터 ISP 어드레스가 수신되면 대기 모드로 전환하여 상기 기능 구현 장치(400)의 제어동작을 중지한다.

<32> 상기 커맨드 디코더(104)는 상기 외부 제어장치(200)로부터 ISP 어드레스가 수신되면, 상기 외부 제어장치(200)로부터 제어 클럭(SCL)에 동기되어 전송되는 직렬 데이터(SDA)에서 커맨드 코드(C_CODE)를 추출한다. 상기 ISP 어드레스는 전체 시스템에서 사용되지 않는 소정의 어드레스로 설정될 수 있다.

<33> 상기 제어신호 발생부(105)는 상기 커맨드 디코더(104)로부터 수신되는 상기 커맨드 코드(C_CODE)를 분석하고, 기입/판독/소거의 동작들 중 어떤 동작에 대한 커맨드인지를 판단한다.

<34> 상기 제어신호 발생부(105)는 해당 ISP 모드 동작을 제어하는 기입(write) 제어신호(WCTL), 판독(read) 제어신호(RCTL), 소거(erase) 제어신호(ECTL) 중 하나를 인에이블시킨다.

<35> 상기 어드레스/데이터 버퍼(102)는 상기 CPU(101)의 요청에 의해 상기 프로그래머블 메모리(103)로부터 판독되는 데이터(NDATA)를 임시 저장하고, 소정의 클럭신호에 동기하여 상기 CPU(101)에 전송한다.

- <36> 또, ISP 모드의 기입 동작일 때, 상기 어드레스/데이터 버퍼(102)는 상기 커맨드 디코더(104)로부터 출력되는 상기 프로그래머블 메모리(103)의 내부 어드레스(PADD) 및 프로그램 데이터(PDATA)를 저장하고, 소정의 클럭신호에 동기하여 상기 프로그램 데이터(PDATA)를 병렬로 상기 프로그래머블 메모리(103)에 출력한다.
- <37> 또, ISP 모드의 판독 동작일 때, 상기 어드레스/데이터 버퍼(102)는 상기 커맨드 디코더(104)로부터 출력되는 어드레스(PADD)를 저장하고, 소정의 클럭신호에 동기하여 상기 프로그래머블 메모리(103)에 출력한다. 상기 어드레스/데이터 버퍼(102)는 상기 프로그래머블 메모리(103)로부터 출력되는 상기 내부 어드레스(PADD)에 대응하는 프로그램 데이터(PDATA)를 저장하고, 소정의 클럭신호에 동기하여 상기 프로그램 데이터(PDATA)를 상기 커맨드 디코더(104)에 출력한다.
- <38> 또, ISP 모드의 소거 동작일 때, 상기 어드레스/데이터 버퍼(102)는 상기 커맨드 디코더(104)로부터 출력되는 내부 어드레스(PADD)와 'FF' 값을 갖는 벌크(bulk) 프로그램 데이터(PDATA)를 저장하고, 소정의 클럭 신호에 동기하여 상기 프로그래머블 메모리(103)에 출력한다.
- <39> 상기 프로그래머블 메모리(103)는 상기 기입 제어신호(WCTL)에 응답하여 상기 어드레스/데이터 버퍼(102)로부터 출력되는 상기 프로그램 데이터(PDATA)를 저장하고, 상기 판독 제어신호(RCTL)에 응답하여 상기 내부 어드레스(PADD)에 대응하는 상기 프로그램 데이터(PDATA)를 출력한다. 또, 상기 프로그래머블 메모리(103)는 상기 소거 제어신호(ECTL)에 응답하여 내부에 저장된 상기 프로그램 데이터(PDATA)를 소거한다.
- <40> 다음으로, 본 발명의 이해를 돕기 위해, 도 3 내지 도 5를 참고하여 IIC 버스를 이용한 데이터 통신에 대하여 좀 더 상세히 설명한다.



- <41> 도 3은 본 발명의 반도체 장치에 적용되는 시리얼 버스의 일례로서 IIC(inter-integrated circuit) 버스를 설명하기 위한 도면이다.
- <42> IIC 버스는 CPU, 메모리, I/O 기기간의 데이터 전송을 위해 사용되는 데이터 선로이다. IIC 버스는 도 3에 도시된 것과 같이, 제어용 클럭(SCL; Serial Clock)을 전송하기 위한 클럭 라인(41)과 직렬 데이터(SDA; Serial Data)를 전송하기 위한 데이터 라인(42)을 포함하는 2개의 신호 라인으로 이루어진다. IIC 버스는 100Kbps에서 400Kbps까지 데이터 전송이 가능하다.
- <43> 도 3에서, 제1 내지 제4 IC들(43~46)이 상기 IIC 버스를 통해 상호 통신한다. 상기 IIC 버스에 연결된 상기 제1 내지 제4 IC들(43~46)은 소프트웨어적으로 접근이 가능하고 다중 마스터가 동시에 같은 버스에 존재할 수 있다. 즉, IIC 버스에 연결된 상기 장치들(43~46)은 클럭을 발생하게 되면 모두 마스터가 될 수 있다.
- <44> 예를 들어, 상기 제1 IC(43)가 클럭을 발생하여 마스터가 되면 나머지 IC들(44, 45, 46)은 슬레이브가 된다. 이를 좀 더 상세히 설명하면, 마스터에서 상기 클럭 라인(41)을 통하여 제어 클럭을 전송하고 상기 데이터 라인(42)을 통하여 데이터와 어드레스를 전송하면 슬레이브에서는 상기 클럭에 동기되어 전송되는 상기 데이터와 어드레스를 수신하게 된다.
- <45> 도 4a 및 도 4b는 본 발명의 반도체 장치에 적용되는 시리얼 버스인 IIC 버스를 통하여 전송되는 데이터의 신호체계를 나타내는 도면이다.
- <46> 도 4a와 같이, IIC 버스를 통하여 전송되는 데이터의 신호체계는 스타트(S) 영역, 디바이스 어드레스(SLA_ADD) 영역, 동작 제어신호(R_W) 영역, 인식(A) 영역, 워드 어드



레스(WADD) 영역, 인식(A) 영역, 데이터(DATA) 영역, 인식(/A) 영역 및 스톱(P) 영역으로 이루어진다. 상기 데이터(DATA) 영역은 추가의 인식(A) 영역들을 사이에 두고 1바이트씩 순차적으로 위치하는 복수의 데이터(DATA) 영역들을 포함한다.

<47> 상기 스타트(S) 영역, 상기 동작 제어신호(R_W) 영역 및 상기 인식(A, /A) 영역들 각각은 1비트 정도의 크기를 가지며, 상기 디바이스 어드레스(SLA_ADD) 영역과 상기 워드 어드레스(WADD) 영역은 8비트 정도의 크기를 가진다.

<48> 상기 디바이스 어드레스(SLA_ADD) 영역에는 제어되는 디바이스의 정보가 포함되고, 상기 워드 어드레스(WADD) 영역에는 제어되는 디바이스의 내부 어드레스가 포함된다.

<49> 도 4b는 다수의 제어대상용 디바이스에 동시에 데이터를 전송하는 경우의 데이터의 신호체계를 나타낸다. 도 4b에서, 데이터의 신호체계는 스타트(S) 영역, 제1 디바이스용 데이터 신호 영역, 반복 스타트(SR) 영역, 제2 디바이스용 데이터 신호 영역 및 스톱(P) 영역으로 이루어진다.

<50> 상기 제1 디바이스용 데이터 신호 영역은 제1 디바이스의 어드레스(SLA_ADD1) 영역, 동작 제어신호(R_W) 영역, 인식(A) 영역, 제1 워드 어드레스(WADD1) 영역, 인식(A) 영역, 데이터(DATA) 영역, 인식(/A) 영역을 포함한다. 또, 상기 제2 디바이스용 데이터 신호 영역은 제2 디바이스의 어드레스(SLA_ADD2) 영역, 동작 제어신호(R_W) 영역, 인식(A) 영역, 제2 워드 어드레스(WADD2) 영역, 인식(A) 영역, 데이터(DATA) 영역, 인식(/A) 영역을 포함한다.

<51> 상기 스타트(S) 영역, 상기 동작 제어신호(R_W) 영역 및 상기 인식(A, /A) 영역들 각각은 1비트 정도의 크기를 가지며, 상기 제1 및 상기 제2 디바이스 어드레스



(SLA_ADD1, SLA_ADD2) 영역과, 상기 제1 및 상기 제2 워드 어드레스(WADD1, WADD2) 영역은 8비트 정도의 크기를 가진다. 여기에서, 상기 스타트(S) 영역은 데이터 전송의 시작을 알리는 신호 영역이고, 상기 스톱(P) 영역은 데이터 전송이 종결됨을 알리기 위한 신호 영역이다.

<52> 도 4a 및 도 4b에서, 상기 동작 제어신호(R_W) 영역의 값은 기입(write) 동작일 경우 '0'으로, 판독(read) 동작일 경우 '1'로 각각 설정될 수 있다.

<53> 도 5는 본 발명의 반도체 장치에 적용되는 시리얼 버스인 IIC 버스를 통하여 전송되는 데이터의 신호체계에서 스타트 조건과 스톱 조건을 나타내는 클럭과 데이터의 타이밍 차트이다. 스타트 조건과 스톱 조건은 제어 클럭신호(SCL)와 직렬 데이터(SDA)를 이용하여 설정할 수 있다. 좀 더 상세히 설명하면, 도 5에 도시된 것과 같이, 스타트 조건은 제어 클럭신호(SCL)가 '하이'인 상태에서 직렬 데이터(SDA)가 '하이'에서 '로우'로 천이될 때이고, 스톱 조건은 상기 제어 클럭신호(SCL)가 '하이'인 상태에서 상기 직렬 데이터(SDA)가 '로우'에서 '하이'로 천이될 때이다.

<54> 도 6a는 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치에서 ISP 모드 동작을 위한 데이터 신호체계의 일예를 나타내는 도면이다.

<55> 도 6a와 같이, ISP 모드 동작을 위한 데이터의 신호체계는 스타트(S) 영역, ISP 어드레스(ISP_ADD) 영역, 동작 제어신호(R_W) 영역, 커맨드 코드(C_CODE) 영역, 프로그래머블 메모리(103)의 내부 어드레스(PADD) 영역, 프로그램 데이터(PDATA) 영역, 인식(/A) 영역 및 스톱(P) 영역으로 이루어진다. 또, 상기 동작 제어신호(R_W) 영역에서 상기 프로그램 데이터(PDATA) 영역까지의 영역들 사이에는 각각 인식(A) 영역이 더 포함된다.

<56> 상기 스타트(S) 영역, 상기 동작 제어신호(R_W) 영역, 상기 인식(A, /A) 영역은 1 비트 정도의 크기를 가지며, 상기 ISP 어드레스(ISP_ADD) 영역은 8비트 정도의 크기를 가진다. 상기 커맨드 코드(C_CODE) 영역은 추가의 인식(A) 영역을 사이에 두고 1바이트 씩 순차적으로 위치하는 복수의 데이터들(D1~D3)을 포함한다. 도 6a와 도 6b에서는 상기 커맨드 코드(C_CODE) 영역이 3바이트의 데이터들(D1~D3)을 포함하는 것으로 도시되었지만, 상기 커맨드 코드(C_CODE) 영역에 포함되는 데이터의 크기는 다양하게 변경될 수 있다. 또, 상기 커맨드 코드(C_CODE)의 데이터들(D1~D3)의 값은 ISP 모드의 각 동작들, 즉, 기입/판독/소거 동작들 각각에 대하여 서로 다르다.

<57> 여기에서, 상기 동작 제어신호(R/W) 영역의 값은 기입 또는 소거 동작인 경우 '0'으로, 판독 동작인 경우 '1'로 각각 설정될 수 있다. 기입 동작, 즉, 프로그래머블 메모리를 프로그래밍 하는 경우, 상기 프로그램 데이터(PDATA) 영역은 프로그램될 프로그램 데이터를 포함한다. 또, 소거 동작인 경우 상기 프로그램 데이터(PDATA) 영역은 'FF' 값을 갖는 벌크(bulk) 데이터를 포함하고, 판독 동작인 경우 프로그래머블 메모리로부터 출력되는 프로그램 데이터를 포함한다.

<58> 도 6b는 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치에서 ISP 모드를 리셋시키기 위한 데이터 신호체계의 일예를 나타내는 도면이다.

<59> 도 6b에서, ISP 모드를 리셋시키기 위한 데이터의 신호체계는 스타트(S) 영역, ISP 어드레스(ISP_ADD) 영역, 동작 제어신호(R_W) 영역, 인식(A) 영역, 커맨드 코드(C_CODE) 영역, 인식(/A) 영역 및 스톱(P) 영역으로 이루어진다. 상기 스타트(S) 영역, 상기 동작 제어신호(R_W) 영역, 상기 인식(A, /A) 영역, 상기 커맨드 코드(C_CODE) 영역, 및 스톱



(P) 영역은 도 6a를 참조하여 설명한 것과 동일하므로 구체적인 설명은 생략하기로 한다. 도 6b와 같이, ISP 모드를 리셋시키기 위한 데이터의 신호체계에서는 도 6a의 프로그램 데이터(PDATA)가 포함되지 않는다.

<60> 본 발명에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치는 도 6b에 도시된 리셋 커맨드를 포함하는 상기 커맨드 코드(C_CODE)를 수신할 때, 리셋되어 ISP 모드의 동작을 종료한다. 또, 본 발명에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치는 전원이 온/오프되거나, 리셋 포트에 소정의 리셋 제어신호가 입력될 때, 리셋되어 ISP 모드의 동작을 종료할 수도 있다.

<61> 다음으로, 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치의 동작 과정을 도 2 내지 도 7을 참고하여 설명하면 다음과 같다. 먼저, 도 7은 본 발명의 일실시예에 따른 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치의 동작 과정을 나타내는 흐름도이다.

<62> 도 7에서, 먼저, CPU(101)는 시리얼 버스(300)를 통하여 외부 제어장치(200)와 통신하고, 프로그래머블 메모리(103)에 저장된 프로그램 데이터를 판독하여 해당 프로그램을 수행하며, 기능 구현 장치(400)의 동작을 제어한다(1001). 상기 시리얼 버스(300)는 예를 들면, IIC 버스로 구현될 수 있다.

<63> 상기 CPU(101)와 상기 커맨드 디코더(104)가 상기 외부 제어장치(200)로부터 ISP 어드레스(ISP_ADD)를 수신하면, 상기 CPU(101)는 대기모드로 전환하여 상기 기능 구현 장치(400)의 동작 제어를 중지한다(1002, 1003). 또, 상기 커맨드 디코더(104)는 연속적으로 수신되는 직렬 데이터(SDA)로부터 커맨드 코드(C_CODE)를 추출하고, 제어신호 발생부(105)는 상기 커맨드 코드(C_CODE)로부터 ISP 모드의 어떤 동작에 대한 커맨드인지를

분석한다(1004). 상기 제어신호 발생부(105)는 해당 ISP 모드의 동작을 위한 제어신호를 인에이블시킨다(1005). 이를 좀 더 구체적으로 설명하면, 상기 커맨드 코드(C_CODE)가 기입 동작, 즉, 프로그래머블 메모리(103)를 프로그래밍하는 동작인 경우, 기입 제어신호(WCTL)를 인에이블시킨다. 또, 상기 커맨드 코드(C_CODE)가 판독 동작인 경우 판독 제어신호(RCTL)를 인에이블시키고, 소거 동작인 경우 소거 제어신호(ECTL)를 인에이블시킨다.

<64> 이 후, 상기 제어신호들(WCTL, RCTL, ECTL)에 응답하여 기입 동작, 판독 동작, 소거 동작 중 어느 하나의 ISP 모드 동작을 수행한다(1006).

<65> 다음으로, 상기 ISP 모드가 리셋되는지를 판단하여(1007), 리셋되는 경우 상기 CPU(101)는 동작모드로 전환하여 상기 기능 구현 장치(400)의 동작 제어를 다시 시작한다(1008). 또, 상기 ISP 모드가 리셋되지 않은 경우, 상기 단계(1004)로 리턴한다. 여기에서, 상기 ISP 모드는 리셋 커맨드를 포함하는 커맨드 코드(C_CODE)를 수신하거나, 전원이 온/오프되거나, 또는 리셋 포트로 소정의 리셋 제어신호가 입력될 때, 리셋된다.

<66> 상기와 같이, 본 발명에 따른 반도체 장치(100)에서는 ISP 모드 동작이 상기 CPU(101)의 개입 없이, 상기 커맨드 디코더(104), 상기 제어신호 발생부(105), 및 상기 어드레스/데이터 버퍼에 의해서만 이루어지므로, 별도의 부트(boot) ROM과 같은 메모리를 추가로 구비하지 않아도 된다.

<67> 또한, 본 발명에 따른 반도체 장치(100)에서는 기존에 사용되는 시리얼 버스를 통하여 ISP 모드 동작을 위한 데이터를 송수신하므로, 별도의 신호 라인을 필요로 하지 않는다.



<68> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<69> 상기한 것과 같이, 본 발명의 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치 및 이에 대한 제어방법에 의하면, 외부 제어장치로부터 수신되는 통신 프로토콜과 커맨드 코드에 응답하여 ISP 모드 동작을 수행함으로써, 메모리를 감소시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

외부 제어장치로부터 수신되는 프로그램 데이터에 따라 내부의 프로그래머블 메모리를 프로그래밍하는 ISP 기능을 가지는 반도체 장치에 있어서,

시리얼 버스를 통하여 상기 외부 제어장치와 통신하여 소정의 기능 구현 장치의 동작을 제어하는 CPU;

상기 시리얼 버스를 통하여 상기 외부 제어장치로부터 ISP 어드레스를 포함하는 직렬 데이터를 수신할 때, 상기 직렬 데이터로부터 커맨드 코드, 상기 프로그래머블 메모리의 내부 어드레스 및 상기 프로그램 데이터를 추출하는 커맨드 디코더;

상기 커맨드 코드에 응답하여, ISP 모드 동작을 제어하는 복수의 제어신호들 중 어느 하나를 인에이블시키는 제어신호 발생부; 및

상기 CPU와 상기 프로그래머블 메모리 사이에서 송수신되는 상기 내부 어드레스 및 데이터를 저장하고, 상기 커맨드 디코더와 상기 프로그래머블 메모리 사이에서 송수신되는 상기 내부 어드레스 및 상기 프로그램 데이터를 저장하는 어드레스/데이터 버퍼를 구비하고,

상기 프로그래머블 메모리는 상기 내부 어드레스, 상기 프로그램 데이터 및 상기 복수의 제어신호에 응답하여 프로그래밍 되는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 2】

제1항에 있어서,

상기 ISP 모드 동작은 상기 프로그래머블 메모리의 기입 동작, 판독 동작 및 소거 동작을 포함하고,

상기 커맨드 코드는,

상기 기입 동작을 제어하는 기입 커맨드 코드;

상기 판독 동작을 제어하는 판독 커맨드 코드; 및

상기 소거 동작을 제어하는 소거 커맨드 코드를 포함하며,

상기 제어신호 발생부는,

상기 기입 커맨드 코드에 응답하여 상기 복수의 제어신호들 중 기입 제어신호를 인에이블시키고, 상기 판독 커맨드 코드에 응답하여 상기 복수의 제어신호들 중 판독 제어신호를 인에이블시키고, 상기 소거 커맨드 코드에 응답하여 상기 복수의 제어신호들 중 소거 제어신호를 인에이블시키는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 3】

제2항에 있어서,

상기 커맨드 코드는 복수의 비트들을 포함하는 복수의 데이터들을 포함하고,

상기 기입 커맨드 코드, 상기 판독 커맨드 코드 및 상기 소거 커맨드 코드는 각기 다른 상기 복수의 데이터들을 포함하는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 4】

제3항에 있어서, 상기 CPU는,

상기 ISP 어드레스를 포함하는 직렬 데이터를 수신할 때, 상기 기능 구현 장치의 제어 동작을 정지하고, 상기 반도체 장치가 리셋될 때, 상기 기능 구현 장치의 제어 동작을 재시작하는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 5】

제4항에 있어서,

상기 커맨드 코드는 ISP 모드의 리셋을 제어하는 리셋 커맨드 코드를 더 포함하고

상기 반도체 장치는 상기 리셋 커맨드 코드에 응답하여 리셋되는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 6】

제3항에 있어서,

상기 반도체 장치는 외부로부터 리셋 제어신호를 수신하는 리셋 단자를 더 포함하고,

상기 CPU는 상기 ISP 어드레스를 포함하는 직렬 데이터를 수신할 때, 상기 기능 구현 장치의 제어 동작을 정지하고, 상기 리셋 제어신호에 응답하여 상기 기능 구현 장치의 제어 동작을 재시작하는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치.

【청구항 7】

외부 제어장치로부터 수신되는 프로그램 데이터에 따라 내부의 프로그래머블 메모리를 프로그래밍하는 ISP 기능을 가지며, 시리얼 버스를 통하여 상기 외부 제어장치와 각각 연결되는 CPU와 커맨드 디코더, 상기 커맨드 디코더로부터 커맨드 코드를 수신하는 제어신호 발생부, 상기 CPU 및 상기 커맨드 디코더와 상기 프로그래머블 메모리 사이에 연결되는 어드레스/데이터 버퍼를 구비하는 반도체 장치의 제어방법에 있어서,

- (a) 상기 CPU가 상기 외부 제어장치와 통신하여 소정의 기능 구현 장치의 동작을 제어하는 단계;
- (b) 상기 CPU가 ISP 어드레스를 수신할 때, 상기 기능 구현 장치의 제어 동작을 중지하는 단계;
- (c) 상기 커맨드 디코더가 상기 ISP 어드레스를 수신할 때, 상기 외부 제어장치로부터 수신되는 직렬 데이터로부터 커맨드 코드를 추출하는 단계;
- (d) 상기 커맨드 코드에 응답하여 상기 제어신호 발생부가 상기 프로그래머블 메모리의 기입, 판독 및 소거를 포함하는 ISP 모드 동작을 위한 복수의 제어 신호들 중 어느 하나를 인에이블 시키는 단계;
- (e) 상기 복수의 제어신호들에 응답하여, 해당 ISP 모드 동작을 수행하는 단계;
- 및
- (f) 상기 ISP 모드가 리셋될 때, 상기 (a)단계로 리턴하는 단계를 포함하는 것을 특징으로 하는 프로그래머블 메모리의 ISP 기능을 가지는 반도체 장치의 제어방법.

【청구항 8】

제7항에 있어서, 상기 (f)단계는,

(g) 상기 커맨드 디코더가 리셋 커맨드 코드를 포함하는 상기 직렬 데이터를 수신할 때, 상기 ISP 모드 동작을 중지하는 단계를 더 포함하는 것을 특징으로 하는 프로그램래머블 메모리의 ISP 기능을 가지는 반도체 장치의 제어방법.

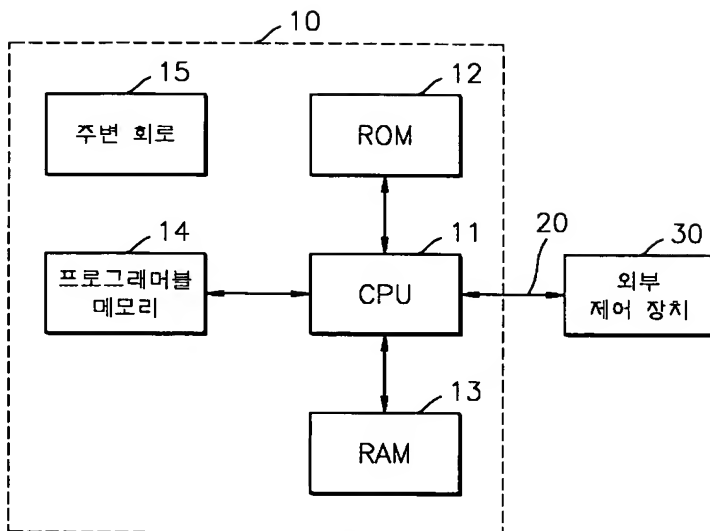
【청구항 9】

제7항에 있어서, 상기 (f)단계는,

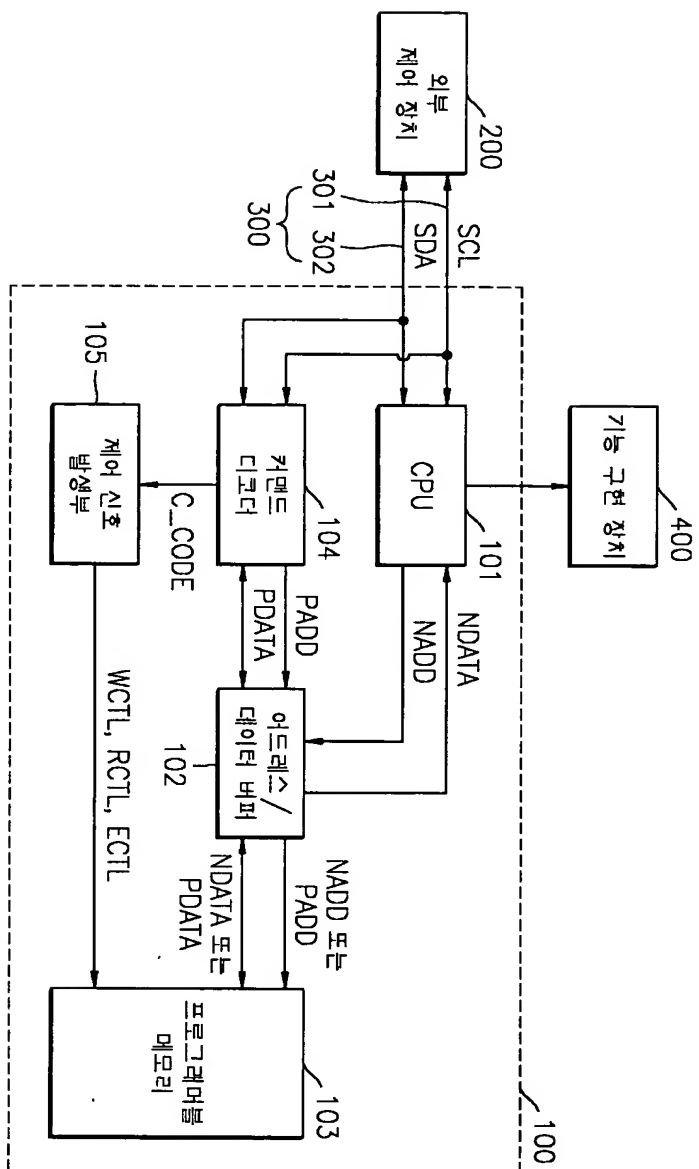
(h) 상기 커맨드 디코더가 소정의 리셋 단자로 수신되는 외부 리셋 제어 신호에 응답하여 상기 ISP 모드 동작을 중지하는 단계를 더 포함하는 것을 특징으로 하는 프로그램래머블 메모리의 ISP 기능을 가지는 반도체 장치의 제어방법.

【도면】

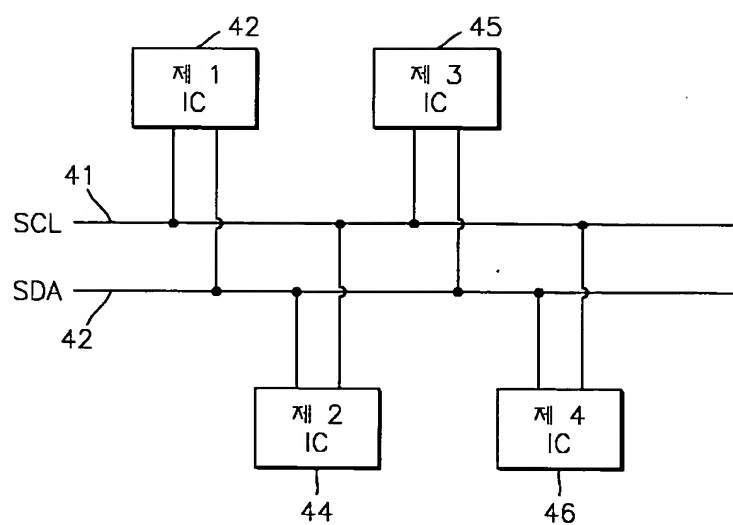
【도 1】



【도 2】



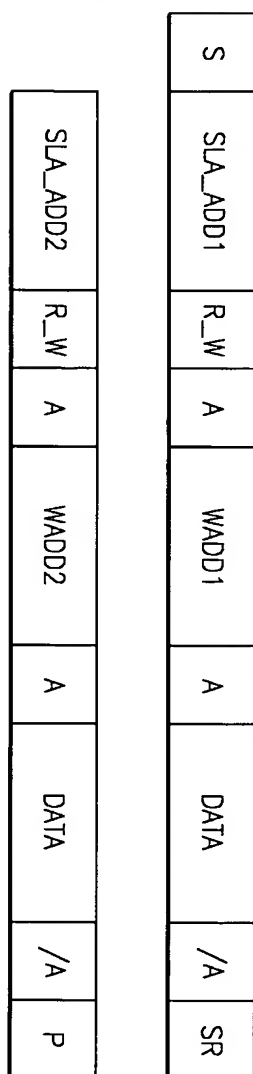
【도 3】



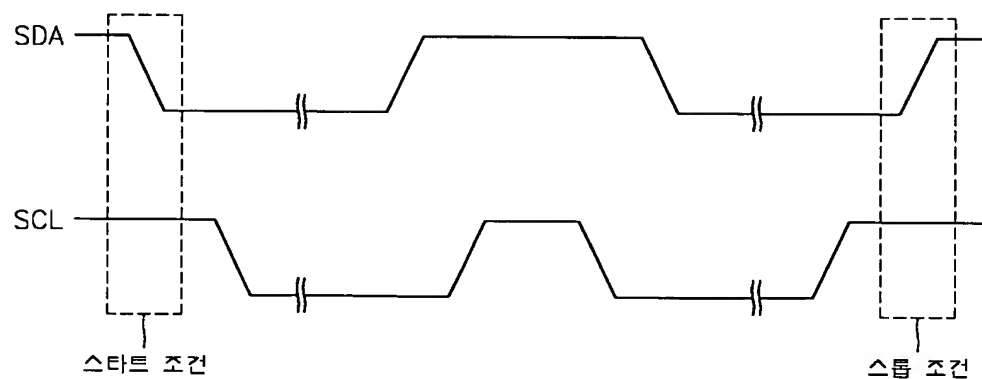
【표 4a】

S	SLA_ADD	R_W	A	WADD	A	DATA	/A	P
---	---------	-----	---	------	---	------	----	---

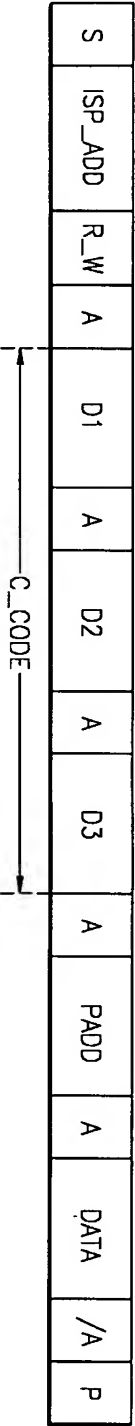
【도 4b】



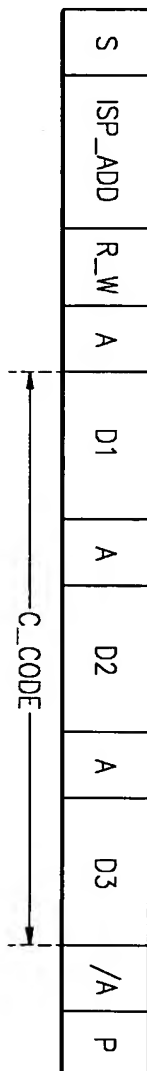
【도 5】



【도 6a】



【도 6b】



【도 7】

